

DERWENT-ACC-NO: 1981-37063D

DERWENT-WEEK: 198121

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: PN junction is exposed on semiconductor - and  
then  
coated with oxide and glass layers, has better  
passivation

PATENT-ASSIGNEE: TOKYO SHIBAURA ELECTRIC CO[TOKE] , TOSHIBA  
COMPONENTS CO  
LTD[TOSHN]

PRIORITY-DATA: 1979JP-0110061 (August 29, 1979)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 56033845 A	April 4, 1981	N/A
000 N/A		

INT-CL (IPC): H01L021/31, H01L029/91

ABSTRACTED-PUB-NO: JP 56033845A

BASIC-ABSTRACT:

The method comprises (1) exposing a pn-junction of a semiconductor substrate,  
(2) coating an oxide layer on the pn-junction and (3) forming a glass layer on  
the oxide layer. The oxide layer has a thickness of above 40 angstroms.

The oxide layer firmly bonds the glass layer and the pn-junction.  
The glass  
layer is used as a passivation layer. The oxide layer improves the  
passivating  
property.

In an example wafer (1) comprises a (n+-) region, a (n--) region  
formed on the  
n+- region and a p(+-) region formed on the n-- region. The p(+-)  
and n(--)  
regions are selectively etched to form mesa grooves (2) to expose the  
pn-

junction with an etchant. The surfaces of the grooves are washed with a mixed soln. of HF and HNO<sub>3</sub>. Then the wafer is heated at 700 deg.C in O<sub>2</sub> atmosphere to form SiO<sub>2</sub> layer (11) of 60 angstroms thickness. The glass powder is coated on the dioxide layer and the powder heated to form the glass layer.

TITLE-TERMS: PN JUNCTION EXPOSE SEMICONDUCTOR COATING OXIDE GLASS LAYER

PASSIVATION

DERWENT-CLASS: L03

CPI-CODES: L03-D03G;

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56—33845

⑮ Int. Cl.<sup>3</sup>  
H 01 L 21/316  
29/91

識別記号

庁内整理番号  
7739—5F  
6749—5F

⑯ 公開 昭和56年(1981)4月4日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑰ 特 願 昭54—110061

⑱ 出 願 昭54(1979)8月29日

⑲ 発 明 者 後藤研一

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内

⑲ 発 明 者 宮川雅文

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内

⑲ 発 明 者 渡辺和夫

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑲ 発 明 者 神保隆

君津市内蓑輪70東芝コンポーネ  
ンツ株式会社君津工場内

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 出 願 人 東芝コンポーネンツ株式会社

東京都千代田区鍛冶町1の6の  
17合同ビル

⑲ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) P N 接合をガラス層で被覆する半導体装置の製造方法において、前記 P N 接合の露出部を被覆するガラス層を形成する前に、該ガラス層を被覆させる面上に酸化膜を形成しておくことを特徴とする半導体装置の製造方法。

(2) 酸化膜が低級酸化膜であることを特徴とした特許請求の範囲(1)項に記載の半導体装置の製造方法。

(3) 酸化膜形成は、弗酸、硝酸を含む混液で処理しかつ酸化性雰囲気中で熱処理することにより行なうものであることを特徴とする特許請求の範囲(1)項に記載の半導体装置の製造方法。

(4) 酸化膜の厚さは40 Å以上であることを特徴とした特許請求の範囲(1)項に記載の半導体装置の製造方法。

(5) P N 接合にガラス層を被覆させる個所は、

メサ溝であることを特徴とした特許請求の範囲(1)項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は P N 接合をガラス層で被覆する半導体装置の製造方法に関する。

一般に高耐圧が要求される半導体素子、例えばシリコン整流素子、トランジスタ、SCR等にあつては、メサ構造としかつこのメサ溝で露出した P N 接合をガラス層でパッシベートすることが多い。この P N 接合をパッシベートする方法としては、メサ溝やブレード溝形成後、電気泳動法、プリンター法、遠心分離法、ドクターブレード法等により、P N 接合が露出した溝面にガラス粉末を配置し、次いでガラスの種類に応じた温度、雰囲気中で焼成を施すことがひろく行なわれている。

第1図(a)~(d)は、上記素子製造工程のうち整流素子のそれを図示したものである。即ち第1図(a)に示される P<sup>+</sup> N N<sup>+</sup>構造の拡散ウエハに、写真蝕刻技術によりレジストマスクを形成する。

このレジストマスク形成ウエハをエッチング液で、PN接合が充分露出するまでエッチングし、第1図(b)に示される如くメサ溝2を形成する。上記レジスト除去後、王水及び弗酸・硝酸処理し、水洗を充分行なつてから、ガラス粉末3をメサ溝2内に入れ、焼成を行なうことによりガラス膜4を形成していた。

しかしながら上記のようにしてメサ面に形成されたガラス被膜には、第2図に示す如くピンホール5が発生したり、またメサ溝2の下部側へガラスが集まり、最悪の場合はPN接合6が露出する事柄も発生し、素子特性の歩留が低下しがちであつた。これは、上記ピンホール5が発生したり、例えばPN接合6のパッシベーションが充分でないと、例えば後工程のAL配線形成時にそのエッチング液が侵入してきて、PN接合が犯されたりするからである。

その対策として、ガラス膜4を厚くする方法が考えられるが、これによる問題点は多い。即ちガラス膜4を余り厚くすると、ガラスのクラ

3

特開昭56- 33845(2)

ックが多発したり、ガラス及びウエハ1間の膨張係数の関係でウエハにそりが大きくなつたりして、写真蝕刻、電極形成等のプロセス中にウエハ割れが多発する。またベレット分離時にガラスクラックが発生したりして、歩留が極端に低下してしまう。

しかしして本発明者は、前記ガラス膜4を厚くしないで、現状の厚さで前記各欠点を克服する方法を見出した。即ち前記問題の発生原因は、メサ溝表面と熔融ガラスとのぬれ性に関係し、熔融ガラスがメサ面に対しぬれ性を発揮するためには、メサ溝表面に極く薄い酸化膜を設けることで充分であることが判つた。ここで酸化膜はガラス粉末3が熔融する時にはガラスに食われるため、上記メサ面の酸化膜は或る程度の厚さが必要である。

そこでメサ面上の酸化膜の厚さと各種処理の関係を調べたところ、次表のような結果を得た。

4

試料名	処 理 方 法	酸化膜厚
1	HF Dip→水洗→常温	0(Å)
2	HF Dip→水洗→700℃(酸化性)	17
3	HF・HNO <sub>3</sub> Dip→水洗→常温	33
4	HF・HNO <sub>3</sub> Dip→水洗→700℃(酸化性)	60
5	王水ギール→水洗→常温	18
6	王水ギール→水洗→700℃(酸化性)	20

この表より、ウエハを弗酸で処理すると酸化膜は完全に除去されることが分る。またウエハ水洗後700℃の酸性雰囲気においた場合、酸化膜が17Å形成された。またウエハを弗酸、硝酸でアイソップ処理する場合は、常温で33Åの酸化膜が形成され、700℃の酸化で60Åまで酸化膜が成長した。この場合のシリコンの酸化膜成長機構は、硝酸によりシリコンが酸化され、酸化生成物が弗酸により溶解するという反応を繰返しているため、常温で形成された酸化膜は、完全な化学的組成よりもシリコンリッチな状態(低酸酸化膜)になつており、これを

5

更に700℃の酸化処理で60Åの厚い酸化膜が形成されるものと考えられる。次に王水にウエハをひたして王水をギールする場合は、常温において完全な組成の酸化膜が形成されるため、700℃の酸化処理で酸化膜厚が常温の場合に比して成長しなかつたものと推定できる。

以上の実験結果から、弗酸、硝酸混液でアイソップ処理した後、酸化性雰囲気中で熱処理すれば、他の方法に比較して酸化膜の成長が大きくなることが分つた。

次にこれらの実験結果を応用した素子製造の実施例を第3図に示す。本実施例は第1図の場合と同様整流素子を得る場合の例で、第1図(a)→(b)の工程、第1図(c)→(d)の工程は同様であるから、対応箇所には同一符号を付して説明を省略し、特徴とする点についてのみ説明する。本実施例の特徴は、第1図(b)の工程から第1図(c)の工程へ進む前に、ウエハ1を弗酸、硝酸混液でアイソップ処理し、かつ酸化性雰囲気中で熱処理することにより、第3図に示す如くメサ溝2の

6

表面に $40\text{Å}$ 以上の酸化膜 $11$ を形成することである。その結果を第4図に示した。この図より素子の逆耐圧 $V_R$ は、酸化膜 $11$ の厚さが大になるほど良好になる傾向を示しており、このメサ面上の酸化膜厚と素子特性として関連性のあることがわかった。次に上記酸化膜厚との関係を明確化するために、酸化熱処理温度と逆耐圧 $V_R$ との関係を第5図に示した。この第5図より、酸化熱処理温度が $500\sim 600^\circ\text{C}$ の間で $V_R$ は高くなる傾向にあり、 $600\sim 700^\circ\text{C}$ の間で $V_R$ は飽和していることが分る。

また他の例として、前配混酸による処理をしないで、通常法で直接メサ面上に酸化膜( $40\text{Å}$ 以上)を形成しても、前実施例と同様の結果が得られた。

なお本発明は上記実施例のみに限定されるものではなく、例えば本発明の適用対象を整流素子のみでなく、トランジスタ、SCR等にも適用できる等、種々の応用が可能である。

以上説明した如く本発明によれば、パッシベ

7

特開昭56-33845(3)  
ーションを行なうガラス被着面に、予め酸化膜を形成しておくからガラス被着面と溶融ガラスとのぬれ性が良くなり、従つてパッシベート用ガラス層が薄くしかもPN接合を良好に形成でき、従来の問題点であつたガラス層のピンホール発生、PN接合の露出、ガラスクラックの発生、ウエハ割れ等を防止し得る半導体装置の製造方法が提供ができるものである。

#### 4. 図面の簡単な説明

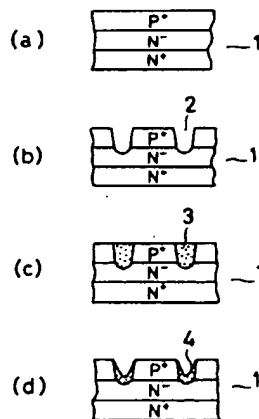
第1図(a)~(d)は従来のガラスパッシベートン素子の製造工程説明図、第2図は同工程で得られた構造の一部拡大断面図、第3図は本発明の一実施例の工程説明に用いる素子断面図、第4図、第5図は同工程により得られる特性図である。

1…ウエハ、2…メサ部、4…ガラス層、  
11…酸化膜。

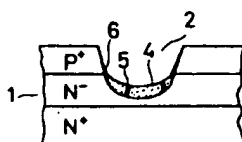
出願人代理人 弁理士 鈴 江 武 彦

8

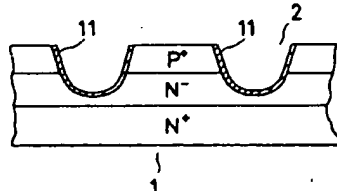
第1図



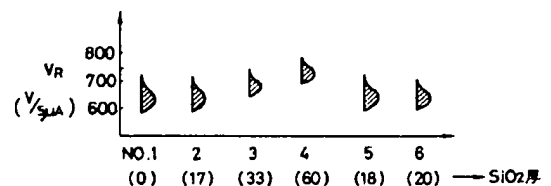
第2図



第3図



第4図



第5図

